

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: July 24, 2000

Application Number: Patent Application  
No. 2000-222982

Applicant(s): YAZAKI CORPORATION

*#2  
Priority  
L Hicken  
1/15/01*

May 18, 2001

Commissioner,

Patent Office Kouzou OIKAWA

Number of Certificate: 2001-3041744

日本国特許庁  
JAPAN PATENT OFFICE

J1000 U.S. PTO  
09/908973  
07/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 7月24日

出願番号

Application Number:

特願2000-222982

出願人

Applicant(s):

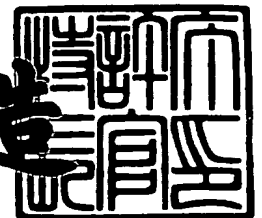
矢崎総業株式会社

#2  
Priority  
L. H. H. H.  
11-15C9

2001年 5月18日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3041744

【書類名】 特許願

【整理番号】 YZK-5249

【提出日】 平成12年 7月24日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00  
H02H 3/08

【発明の名称】 半導体スイッチング装置

【請求項の数】 9

【発明者】

【住所又は居所】 静岡県湖西市鷺津 2 4 6 4 - 4 8 矢崎部品株式会社内

【氏名】 大島 俊藏

【特許出願人】

【識別番号】 000006895

【氏名又は名称】 矢崎総業株式会社

【代表者】 矢崎 裕彦

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100079946

【弁理士】

【氏名又は名称】 横屋 赳夫

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2 0 0 0 - 2 2 2 9 8 2

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708734

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体スイッチング装置

【特許請求の範囲】

【請求項 1】 メイン電界効果トランジスタ (FET) とリファレンス FET からなるマルチソース FET と、

前記メイン FET のソース電位と前記リファレンス FET のソース電位の大小関係を比較する電圧比較装置と、

前記メイン FET のソース電位が前記リファレンス FET のソース電位を上回っているとき前記マルチソース FET のゲートに駆動電圧を印加し、前記メイン FET のソース電位が前記リファレンス FET のソース電位を下回っているとき前記マルチソース FET のゲートへの駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、

負荷側の電流が過渡的成分を含めて正常範囲にあるときは、前記リファレンス FET のソース電位が前記メイン FET のソース電位を上回らないように前記リファレンス FET の電流を制御する回路を前記リファレンス FET のソースと接地間に設置したことを特徴とする半導体スイッチング装置。

【請求項 2】 前記メイン FET のソース電位と前記リファレンス FET のソース電位が等しい場合に、前記メイン FET を流れる電流を前記リファレンス FET を流れる電流で除した値を  $n$  とすると、

前記負荷の定常状態における電流値を  $n$  で除した値より大きい電流を流す定常成分用回路と、前記負荷の過渡状態の電流値を  $n$  で除した値より大きい電流を流す過渡成分用回路を前記リファレンス FET のソースと前記接地間に並列に配置したことを特徴とする請求項 1 に記載の半導体スイッチング装置。

【請求項 3】 前記定常成分用回路は固定抵抗または定電流回路で構成したことを特徴とする請求項 2 に記載の半導体スイッチング装置。

【請求項 4】 前記リファレンス FET を流れる電流の過渡成分は、第 1 の所定時間、一定電流値で通電し、その後リファレンス FET のソース電位がメイン FET のソース電位を上回らない範囲で減少し、第 2 の所定時間内にほぼゼロになるように設定することを特徴とする請求項 2 に記載の半導体スイッチング装

置。

【請求項 5】 前記定常成分用回路は前記半導体スイッチング装置がオン状態にあるときは常時作動させ、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回ったとき、前記リファレンス F E T を流れる電流の過渡成分用回路をスタートさせ、その後の前記第 2 の所要時間内はメイン F E T のソース電位がリファレンス F E T のソース電位を下回っても、リファレンス電流の過渡的成分回路をスタートさせないことを特徴とする請求項 4 に記載の半導体スイッチング装置。

【請求項 6】 前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回り、前記メイン F E T および前記リファレンス F E T がオフ状態に遷移したとき、前記メイン F E T のソース電位の代わりにそれより低い第 1 の電位を用いて前記リファレンス F E T のソース電位と比較し、前記リファレンス F E T のソース電位が前記第 1 の電位を下回ったら、前記メイン F E T および前記リファレンス F E T をオン状態に遷移させ、前記リファレンス F E T のソース電位が上昇して、前記第 1 の電位より大きい第 2 の電位に達するまでは前記メイン F E T のソース電位と前記リファレンス F E T のソース電位の大小関係に関係なく、オン状態を維持し、前記リファレンス F E T のソース電圧が前記第 2 の電位を上回ったら、前記メイン F E T のソース電位と前記リファレンス F E T のソース電位を比較して、前記メイン F E T のソース電位が小さいと前記メイン F E T および前記リファレンス F E T をオフ状態に遷移させることにより、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回る限り、オン／オフ動作を継続することを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体スイッチング装置。

【請求項 7】 前記メイン F E T および前記リファレンス F E T がオン／オフ動作を所定の回数繰り返したら、前記メイン F E T を遮断する場合に前記第 1 の所定時間にオン／オフ動作したときの F E T 遮断に至るまでの回数を、前記第 2 の所定時間内にオン／オフ動作したときに前記メイン F E T の遮断に至るまでの回数より少なくしたことを特徴とする請求項 1 乃至 6 のいずれか 1 つに記載の半導体スイッチング装置。



【請求項 8】 前記定常成分用回路のみ、または、前記定常成分用回路及び過渡成分用回路が動作している場合に、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回ったとき、前記過渡成分用回路を再スタートさせ、

前記再スタート後、第 3 の所定時間内に前記過渡成分用回路が更に再々スタートするという事象が所定の回数繰り返されたら前記メイン F E T を遮断することを特徴とする請求項 4 に記載の半導体スイッチング装置。

【請求項 9】 メイン F E T とリファレンス F E T からなるマルチソース F E T と、

前記メイン F E T のソース電位と前記リファレンス F E T のソース電位の大小関係を比較する電圧比較装置と、

前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を上回っているとき前記マルチソース F E T のゲートに駆動電圧を印加し、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回っているとき前記マルチソース F E T のゲートへの駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、

前記メイン F E T のソース電位と前記リファレンス F E T のソース電位が等しい場合に、前記メイン F E T を流れる電流を前記リファレンス F E T を流れる電流で除した値を  $n$  とすると、前記負荷の定常状態における電流値を  $n$  で除した値より大きい電流を流す定常成分用回路と、

前記負荷を流れる電流が急増して前記メイン F E T の電位がリファレンス F E T の電位を下回ったとき、前記負荷を流れる電流が過渡成分も含めて正常範囲にあるときは、第 4 の所定時間、前記リファレンス F E T のソース電位が前記メイン F E T のソース電位を上回らないよう前記リファレンス F E T に電流を流す過渡成分用回路とを前記リファレンス F E T のソースと接地間に設置し、

前記過渡成分用回路の再スタート後、第 3 の所定時間内に前記過渡成分用回路が更に再々スタートするという事象が所定の回数繰り返されたら前記メイン F E T を遮断することを特徴とする半導体スイッチング装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、ランプ負荷やモータ負荷等の突入電流の発生する負荷を流れる電流のスイッチングを行う半導体スイッチング装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の電源供給制御装置に用いる半導体スイッチング装置（電力用半導体装置）としては、自動車においてバッテリーからの電源を選択的に各負荷に供給して、負荷への電力供給をサーマル F E T により制御する装置がある。電源供給制御装置は、出力電圧 V B を供給する電源 V B にシャント抵抗の一端が接続され、その他端にサーマル F E T のドレイン端子が接続されている。さらに、サーマル F E T のソース端子には負荷が接続されている。ここで、負荷としては、自動車のヘッドライトやパワーウィンドウの駆動モータ等々該当する。電源供給制御装置は、さらに、シャント抵抗を流れる電流を検出してハードウェア回路によりサーマル F E T の駆動を制御するドライバと、このドライバでモニタした電流値に基づいてサーマル F E T の駆動信号をオン／オフ制御する A / D 変換器およびマイコン（C P U）とを備えている。

【 0 0 0 3 】

半導体スイッチング装置の主デバイスとして動作するサーマル F E T は、パワーデバイス（主 F E T）、抵抗、温度センサ、ラッチ回路および過熱遮断用 F E T を内蔵しており、サーマル F E T の接合温度が規定以上の温度まで上昇した場合には、内蔵するゲート遮断回路によってサーマル F E T を強制的にオフ制御する過熱遮断機能を備えている。つまり、パワーデバイス（主 F E T）が規定以上の温度まで上昇したことが温度センサによって検出された場合には、その旨の検出情報がラッチ回路に保持され、ゲート遮断回路としての過熱遮断用 F E T がオン動作となることによって、パワーデバイスを強制的にオフ制御する。

【 0 0 0 4 】

また、負荷としてランプ負荷を使用する場合、ランプ負荷に電圧を印可すると定常的に使用している場合の 1 0 倍前後の突入電流が発生する。従来は上記方法

に限らず電流を検出する際には、この突入電流をマスクして検出していない。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来の電源供給制御装置にあっては、電流検出を行うために電力の供給経路に直列接続されるシャント抵抗を必要とした構成であり、近年の負荷の大電流化により、シャント抵抗の熱損失が無視できないという問題点がある。

【0006】

また、上述の過熱遮断機能や過電流制御回路は、負荷や配線にほぼ完全な短絡状態が発生して大電流が流れる場合には機能するが、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生して小さい短絡電流が流れた場合には機能せず、電流のモニタ回路を介してマイコンにより異常電流を検出してサーマルFETをオフ制御するしかなく、このような異常電流に対するマイコン制御による応答性が悪いという事情もあった。

【0007】

また、シャント抵抗やA/D変換器、マイコン等が必要であるため、大きな実装スペースが必要であり、またこれらの比較的高価な物品により装置コストが高くなってしまいう問題点もある。

【0008】

負荷の大電流化に伴い、電源から負荷を切り離しても流れるリーク電流が大きくなり、負荷の経時劣化に対する管理のためにもリーク電流の増加を監視したいが装置が大きくなるという問題点があった。

【0009】

ランプ負荷等で発生する突入電流をマスクして検出していないため、過電流の検出が遅れて、スイッチング装置や配線が過剰に発熱する場合があった。

【0010】

本発明の目的は、突入電流の発生していても過電流の検出が可能で、熱損失が小さく、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流に対しても高速応答を可能な半導体スイッチング装置を提供するこ

とにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記問題点を達成するための本発明の特徴は、メイン電界効果トランジスタ（FET）とリファレンスFETからなるマルチソースFETと、これらメインFETのソース電位とリファレンスFETのソース電位の大小関係を比較する電圧比較装置と、メインFETのソース電位がリファレンスFETのソース電位を上回っているときマルチソースFETのゲートに駆動電圧を印可し、メインFETのソース電位がリファレンスFETのソース電位を下回っているときマルチソースFETのゲートに駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、負荷側の電流が過渡的成分を含めて正常範囲にあるときは、リファレンスFETのソース電位がメインFETのソース電位を上回らないようにリファレンスFETの電流を制御する回路をリファレンスFETのソースと接地間に設置した半導体スイッチング装置であることである。

【 0 0 1 2 】

本発明の特徴は、メインFETのソース電位とリファレンスFETのソース電位が等しい場合に、メインFETを流れる電流をリファレンスFETを流れる電流で除した値を $n$ とすると、負荷の定常状態における電流値を $n$ で除した値より大きい電流を流す定常成分用回路と、負荷の過渡状態の電流値を $n$ で除した値より大きい電流を流す過渡成分用回路をリファレンスFETのソースと接地間に並列に配置したことにより一層効果的である。

【 0 0 1 3 】

また、本発明の特徴は、リファレンス電流の定常成分回路は固定抵抗または定電流回路で構成したことにより効果的である。

【 0 0 1 4 】

本発明の特徴は、リファレンス電流の過渡成分は第1の所定時間、一定電流値を通電し、その後コンデンサに蓄積された電荷の放電特性で決まる時定数で減少し、第2の所定時間内にほぼゼロになるように設定することにより効果的である。

## 【 0 0 1 5 】

本発明の特徴は、リファレンス電流の定常成分回路は半導体スイッチング装置がオン状態にあるときは常時作動させ、メイン F E T のソース電位がリファレンス F E T のソース電位を下回ったとき、リファレンス電流の過渡成分回路をスタートさせ、その後の第 2 の所要時間内はメイン F E T のソース電位がリファレンス F E T のソース電位を下回っても、リファレンス電流の過渡的成分回路をスタートさせないことにより効果的である。

## 【 0 0 1 6 】

本発明の特徴は、定常成分用回路のみまたは定常成分用回路及び過渡成分用回路が動作している場合にメイン F E T のソース電位がリファレンス F E T のソース電位を下回ったとき過渡成分用回路を再スタートさせ、再スタート後第 3 の所定時間内に過渡成分用回路が更に再々スタートするという事象が所定の回数繰り返されたらメイン F E T を遮断することにより一層効果的である。

## 【 0 0 1 7 】

このことなしに、第 2 の所定時間内は過渡成分のスタートを禁止してしまうと、複数負荷の上流に本装置をヒューズの役目で使用したときに問題が生じる。すなわち、第 1 の負荷がオンすることにより過渡成分がスタートして、この後、過渡成分の電流が減少してきたとき、第 2 の負荷が第 2 の所定時間内にスタートするとリファレンスの過渡成分は小さくなっているため、メイン F E T のソース電位がリファレンス F E T のソース電位を下回ることが起こりうる。そして、リファレンス過渡成分のスタートが禁止されているので、その時点でメイン F E T は遮断してしまう。第 2 の所定時間以下の時間差で 2 つの負荷がオンしたとき問題が生じるので、この解決策として効果的である。

## 【 0 0 1 8 】

本発明の特徴は、メイン F E T のソース電位がリファレンス F E T のソース電位を下回り、メイン F E T およびリファレンス F E T がオフ状態に遷移したとき、メイン F E T のソース電位の代わりにそれより低い第 1 の電位を用いてリファレンス F E T のソース電位と比較し、リファレンス F E T のソース電位が第 1 の電位を下回ったら、メイン F E T およびリファレンス F E T をオン状態に遷移さ

せ、リファレンスFETのソース電位が上昇して、第1の電位より大きい第2の電位に達するまではメインFETのソース電位とリファレンスFETのソース電位の大小関係に関係なく、オン状態を維持し、リファレンスFETのソース電圧が第2の電位を上回ったら、メインFETのソース電位とリファレンスFETのソース電位を比較して、前者が後者を下回ったらメインFETおよびリファレンスFETをオフ状態に遷移させることにより、メインFETのソース電位がリファレンスFETのソース電位を下回る限り、オン／オフ動作を継続することにより効果的である。

## 【0019】

本発明の特徴は、メインFETおよびリファレンスFETがオン／オフ動作を所定の回数繰り返したら、FETを遮断する場合に第1のオン／オフ動作したときのFET遮断に至るまでの回数をその後の第2の所定時間内にオン／オフ動作したときFET遮断に至るまでの回数より短くしたことにより一層効果的である。

## 【0020】

本発明の特徴は、メインFETとリファレンスFETからなるマルチソースFETと、このメインFETのソース電位とこのリファレンスFETのソース電位の大小関係を比較する電圧比較装置と、メインFETのソース電位がリファレンスFETのソース電位を上回っているときマルチソースFETのゲートに駆動電圧を印加しメインFETのソース電位がリファレンスFETのソース電位を下回っているときマルチソースFETのゲートへの駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、メインFETのソース電位とリファレンスFETのソース電位が等しい場合にメインFETを流れる電流をリファレンスFETを流れる電流で除した値を $n$ とすると負荷の定常状態における電流値を $n$ で除した値より大きい電流を流す定常成分用回路と、負荷を流れる電流が急増してメインFETの電位がリファレンスFETの電位を下回ったとき、負荷を流れる電流が過渡成分も含めて正常範囲にあるときは、第4の所定時間、リファレンスFETのソース電位が前記メインFETのソース電位を上回らないようリファレンスFETに電流を流す過渡成分用回路とをリファレンスFETのソ

ースと接地間に設置し、過渡成分用回路の再スタート後第3の所定時間内に過渡成分用回路が更に再々スタートするという事象が所定の回数繰り返されたらメインFETを遮断する半導体スイッチング装置であってもよい。ここで、過渡成分電流は一定電流であっても良いし、負荷電流の過渡的成分に類似した波形の電流であっても良い。第4の所定時間経過後、レファレンスFETの過渡成分電流が無くなり、定常成分のみとなるが、このときまだ、負荷側に過渡成分電流が流れていても良い。このことにより、そのときはレファレンスの過渡成分が再スタートするので、FETは遮断されることはない。第4の所定時間が負荷側の過渡成分継続時間より短い場合は、レファレンス側の過渡成分回路が複数回スタートすることになるが、FET遮断に至る過渡成分スタート回数をこれより大きく設定しておけば、正常負荷の過渡電流成分でFETが遮断することはなく、異常発生時のみFETを遮断する保護機能を実現できる。

【0021】

#### 【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態と実施例において本発明に係る半導体スイッチング装置を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【0022】

図1は、本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置のブロック図である。

【0023】

この半導体スイッチング装置1は、出力電圧VBを供給する電源VBと負荷10との間に接続されて動作する。回路1では、主デバイス（パワーデバイス）としてマルチソース・電界効果トランジスタ（FET）Tr5を用いている。なお、マルチソースFET（Tr5）は過熱遮断回路9を近傍に配置しているが、後述の説明から理解できるように、一定の場合は過熱遮断回路9は必須ではない。マルチソースFET（Tr5）は、メインFET（QA）とリファレンスFET（QB）とを有し、QAとQBのゲート電極は接続され、互いのドレイン電極も接続され電源VBに接続される。QAのソース電極は負荷10と比較器CMP

1 の “+” 入力端子に接続され、Q B のソース電極は比較器 C M P 1 の “-” 入力端子に接続される。

#### 【 0 0 2 4 】

このマルチソース F E T ( T r 5 ) としては、例えば、D M O S 構造、V M O S 構造、或いは U M O S 構造のパワー M O S F E T や、F E T に代えてこれらと類似な構造の M O S S I T が使用可能である。また、E S T や M C T 等の M O S 複合型デバイスや I G B T 等の他の絶縁ゲート型パワーデバイスが使用可能である。更に、常にゲートを逆バイアスで使うのであれば、接合型 F E T 、接合型 S I T や S I サイリスタ等も使用可能である。この T r 5 は n チャネル型でも p チャネル型でもかまわない。

#### 【 0 0 2 5 】

半導体スイッチング装置 1 は、マルチソース F E T ( T r 5 ) と、Q A と Q B のソース電極の電圧を比較する比較手段 ( C M P 1 ) と、この比較手段 ( C M P 1 ) の出力に応じて、T r 5 のゲート電極に制御電圧を供給するドライバー 8 とを少なくとも具備している。

#### 【 0 0 2 6 】

この Q A は、例えば、複数個のユニットセル ( 単位セル ) が並列接続されたマルチ・チャネル構造のパワーデバイスを採用すればよい。そして、この Q A に並列接続されるように、Q B が Q A に隣接する位置に配置されている。Q B が Q A と同一プロセスで隣接位置に配置されているので、温度ドリフトやロット間の不均一性の影響による互いの電気的特性のバラツキを除去できる。Q B の電流容量が Q A の電流容量よりも小さくなるように、Q B を構成する並列接続のユニットセル数を調整している。例えば、Q B のユニットセル数 1 に対して、Q A のユニットセル数を 1 0 0 0 となるように構成することにより、Q B と Q A のチャネル幅 W の比を 1 : 1 0 0 0 としている。また、過熱遮断回路 9 に接続するダイオードは温度センサとして機能する。このダイオードは Q B 及び Q A の上部に形成された層間絶縁膜の上部に堆積されたポリシリコン薄膜等で形成され、複数のダイオードが直列接続されている。Q A の温度が上昇するにつれて複数個直列接続されたダイオードの両端の電圧降下により過熱を検出する。



## 【 0 0 2 7 】

電流振動型遮断機能付き半導体スイッチング装置 1 は、より具体的には、 $Tr_5$  と比較器  $CMP_1$  と過熱遮断回路 9 の他にも、 $CMP_1$  の “+” 入力端子の電圧（ダミー電圧）を制御するダミー電圧発生回路 2 と、 $CMP_1$  の出力信号 H と L の H の回数を数えるパルスカウンタ 4 と、カウンタ 4 のカウント時間を規定するタイマ 3 と、カウンタ 4 で所定の回数を数えた後に出力される遮断信号を保持する遮断信号保持回路 5 と、スイッチ  $SW_1$  のオン信号である外部入力信号のチャタリングを防止するチャタリング防止回路 6 と、コレクタ側が電位  $V_P$  に接続されたソーストランジスタと、エミッタ側が接地電位（ $GND$ ）に接続されたシンクトランジスタとを直列接続して備え、スイッチ  $SW_1$  のオン／オフ切換えによる切換え信号等に基づき、ソーストランジスタおよびシンクトランジスタをオン・オフ制御して、 $Tr_5$  のゲート電極に制御信号を出力するドライバー 8 と、電位  $V_P$  にまで昇圧するチャージポンプ 7 と、ランプ負荷に発生する突入電流が過電流か否か判定するためのリファレンス電流の過渡的電流成分を発生させる過渡的電流成分発生回路 11 とを有している。そして、スイッチング装置 1 は、同一半導体基板（半導体チップ）上にモノリシックに搭載されている。抵抗  $R_6$  とコンデンサー  $C_1$  は、チップの外部に外付けされる。外付けにすることでそれぞれの抵抗値と容量値の変更が容易になり、リファレンス電流の波形を突入電流の波形に対してトレースさせることができる。

## 【 0 0 2 8 】

電流振動型遮断機能付き半導体スイッチング装置 1 は、より具体的には、図 2 に示すような回路で構成されている。

## 【 0 0 2 9 】

ダミー電圧発生回路 2 は、抵抗  $R_1$ 、 $R_2$ 、 $R_4$  と、ダイオード  $D_1$ 、 $D_2$  とで構成できる。なお、抵抗  $R_1$  等に添えられた数字は単位が  $\Omega$  の抵抗値を表している。同様にコンデンサー  $C_1$  に添えられた数字は単位が  $\mu F$  の容量値を表している。タイマ 3 では、入力端子 1 にスタートの信号が入ると 20 m 秒と 200 m 秒を計る 2 つのタイマが同時にスタートする。出力端子 2 では、スタートから 20 m 秒を計り終えるまでオン信号を出力する。出力端子 3 では、スタートから 2

0 0 m秒を計り終えるまでオン信号を出力する。カウンタ4では、リセット端子に信号が入るとカウントはクリアされる。CMP 1に接続される入力端子に入力されるHからLへの信号の回数を数え、回数が8回の時に8パルスの出力端子からオン信号を出力する。また、回数が3 2回の時に3 2パルスの出力端子からオン信号を出力する。遮断信号保持回路5はDフリップフロップ1 2を有している。端子DはHレベルに接続され、端子TにOR回路からオン信号が入力されるとそのオン信号が消えても、リセット端子にリセット信号が入力されるまで、出力端子からはオン信号が出力され続ける。過渡的電流成分発生回路1 1は、トランジスタTr 1乃至4と、抵抗R 7乃至1 0と、コンデンサーC 1とで構成できる。更に半導体チップの外部には、スイッチSW 1があり更にSW 2を備えている場合もある。そして、この電流振動型遮断機能付きスイッチング・デバイスは、ユーザ等がスイッチSW 1とSW 2をオンさせることにより機能する。電源VBの出力電圧VBは、例えば1 2. 5 Vで、チャージポンプ7の出力電圧VPは、例えばVB + 1 0 Vである。QBのソース電極にはいわゆる基準抵抗Rrの定常成分Rrcが接続されている。基準抵抗Rrcの抵抗値は、QBとQAのチャネル幅Wの比に応じて選定すればよい。例えば、上述したように、QBとQAのチャネル幅Wの比を1 : 1 0 0 0とした場合は、負荷の抵抗値の1 / 1 0 0 0を超える値となるように設定しておけばよい。この基準抵抗Rrcの設定により、QAに正常動作の負荷電流を超える過電流が流れたときと同じドレイン-ソース間電圧V<sub>DS</sub>をQBに発生させることができる。

## 【0 0 3 0】

次に、本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置1の動作について説明する。

## 【0 0 3 1】

$V_{SA} = V_{SB}$ であれば、 $I_D$  (QAのドレイン電流) =  $n \times I_{ref}$ 、 $R_L \times n = R_r$ となる。ここで、 $V_{SA}$ はQAのソース電位、 $V_{SB}$ はQBのソース電位、 $I_D$ はQAのドレイン電流、 $n$ はカレント・センシング・レシオ、 $I_{ref}$ はQBのドレイン電流、 $R_L$ はQAとGND間に接続する負荷の抵抗(値)、 $R_r$ はQBとGND間に接続するReferenceの抵抗(値)である。

## 【 0 0 3 2 】

従って、 $V_{SA} > V_{SB}$ であれば、 $I_D < n \times I_{ref}$ 、 $R_L \times n > R_r$ となり、 $V_{SA} < V_{SB}$ であれば、 $I_D > n \times I_{ref}$ 、 $R_L \times n < R_r$ となる。このため  $I_{ref}$  または  $R_r$  を基準値として設定しておけば、負荷側電流値または負荷抵抗値が基準値に比べて大きい小さいかを  $V_{SA}$  と  $V_{SB}$  の大小関係で判定することが出来る。

## 【 0 0 3 3 】

$I_{ref}$  または  $R_r$  を過電流または過負荷に相当する値に設定しておけば、 $V_{SB} < V_{SA}$  であれば、正常状態、 $V_{SB} > V_{SA}$  であれば過電流または過負荷状態と判定できる。過電流または過負荷状態と判定したときは  $Q_A$ 、 $Q_B$  を  $Off$  する。すなわち、ゲート直列抵抗を介して  $Q_A$ 、 $Q_B$  のゲートに印加していたチャージポンプ電圧  $V_p$  を遮断し、ゲート直列抵抗を介して  $Q_A$ 、 $Q_B$  のゲートを接地する。

## 【 0 0 3 4 】

なお、負荷電流  $I_D$  または負荷抵抗  $R_L$  は一般に一定値ではない。スイッチ  $O_n$  直後の突入電流のように過渡的に発生する成分とその後の安定した状態における定常的な成分とからなる。基準電流  $I_{ref}$  または基準抵抗  $R_r$  も負荷側に合わせて過渡的な成分と定常的な成分を合成した値に設定する。すなわち、 $I_{ref}$  または  $R_r$  は一定ではなく、その値を時間的に変化させる。すなわち、(a) 負荷側が正常なときに発生する  $I_D$  または  $R_L$  の値を上回る値に設定し、(b) その差は極力小さくなるように設定する。

## 【 0 0 3 5 】

$I_{ref}$  または  $R_r$  の定常成分 ( $I_{refc}$ 、 $R_{rc}$ ) は抵抗  $R_6$  で設定する。もし、負荷電流の定常成分が電源電圧に依存しない場合には  $I_{ref}$  の定常電流成分  $I_{refc}$  は  $R_6$  のような抵抗ではなく、定電流回路を用いて設定する。

## 【 0 0 3 6 】

一方、過渡的成分は図 2 の  $Tr_1 \sim Tr_4$ 、 $R_7 \sim R_{10}$ 、およびコンデンサ  $C_1$  で設定する。過渡的成分の設定を開始するタイミングは次の 2 通りがある。

(c) 入力信号  $SW_1$  による入力信号に同期して過渡的成分の設定を開始するタ

イミングと、(d) 入力信号 SW1 に関係なく、負荷変動により過渡的成分の設定を開始するタイミングである。

【0037】

(c) は容易に実現できるから、ここでは (d) について説明する。(d) では QA の下流 (負荷側) に SW2 が必要になる。SW1 が On し、SW2 が Off しているとする。この状態では QA、QB は On しているが、SW2 が Off しているため負荷電流は流れない。一方  $I_{refc}$  は R6 を介して常に流れるから、 $I_{ref} \times n > I_D (=0)$  となり、 $V_{SA} > V_{SB}$  となって、CMP1 の出力は H になる。タイマは入力立ち下がりで動作するようになっているので、この状態ではタイマは動作しない。タイマは入力が立ち下がると作動開始し、20ms 間 H レベルになる出力と 200ms 間 H レベルになる 2 つの出力を持つ。タイマは一旦作動すると 200ms 出力、INV1、AND3 により 200ms 間は入力を受け付けないようになっている。タイマ 20ms 出力が L であると Tr2、Tr3 (PMOS) は Off になり、コンデンサ C1 の電荷は Tr4 のベース電流により放電され、Tr1 のゲート電位はゼロ電位となり、Tr1 は Off になり、 $I_{ref}$  は R6 を流れる電流  $I_{refc}$  のみとなる。この状態で SW2 が On するとメイン FET QA を通して負荷電流が流れる。この負荷電流が  $I_{refc} \times n$  より大きくなると  $V_{SA} < V_{SB}$  となり、CMP1 の出力は H レベルから L レベルになる。タイマが動作し、タイマの 20ms 出力が H レベルになる。Tr2 オンと Tr3 オンと R9 を介して C1 がほぼ電源電圧 VB 近くまで充電される。そして、Tr1 のゲート電圧が電源電圧近くまで持ち上げられ、R7 に  $I_{ref}$  の過渡的成分  $I_{ref t}$  が流れる。その大きさは式 1 で表される。

【0038】

$$I_{ref t} = (V_B - V_{th}) / R_7 \quad \cdots \text{式 1}$$

ここで、 $V_{th}$  は Tr1 のスレッシュホールド電圧である。タイマの 20ms 出力が H の間は、Tr2、Tr3 は On 状態を維持し、上記式 1 で表される一定の  $I_{ref t}$  と  $I_{refc}$  が流れる。このとき、 $I_{ref} \times n = (I_{ref t} + I_{refc}) \times n > I_D$  (過渡成分を含む) となるように  $I_{ref t}$  を設定しておくと  $V_{SB} < V_{SA}$  となる。タイマ 20ms 出力が L になると Tr2、Tr3 が O

ffし、コンデンサC1の電荷はNPNトランジスタTr4のベース電流となって放電する。放電時定数はTr4の電流増幅率を $hfe4$ とすると式2で表される。

【0039】

$$\begin{aligned} \text{Tr1ゲート電位の減少時定数} &= C1 \times R8 \times hfe4 \\ &= 0.1 \times 10^{-6} \times 3 \times 10^3 \times 200 = 600 \text{ ms} \quad \dots \text{式2} \end{aligned}$$

Tr1のゲート電位の減少に連れて、Iref tは減少する。Iref tがほぼゼロまで減少する間はタイマに再入力するのを禁止する必要がある、図2ではそのために200msのタイマを設けている。

【0040】

次に、ダミー電圧回路2も含めた装置1の動作について説明する。：

抵抗R1～R4、ダイオードD1、D2からなる回路はダミー電圧発生回路である。QAが完全にOnしているときはVSAが電源電圧VB近くまで上昇し、ゲート駆動回路のドライバー出力もVpまで上昇しているので、D1、D2が逆バイアスされ、ダミー電圧回路は周囲の回路から切り離されるので、何の影響も与えない。しかし、一旦CMP1の出力がLになり、ゲートドライバーがAND2によりOffになるとR4はドライバーのシンクトランジスタを介してGNDに接地されるため、電源電圧VB→R1→A点→D2→R4→ドライバーシンクトランジスタ→GNDの経路で電流が流れ、A点の電位は式3の値まで低下する。

【0041】

$$(VB - 0.6 \text{ v} \times 2) \times R4 / (R4 + R1) + 0.6 \text{ v} \quad \dots \text{式3}$$

図2の回路ではA点の値は3.4vになる。このとき、QAのソース→R3→A点の経路で電流が流れ式4となる。

【0042】

$$\text{A点電位} = VSA - (R3 \text{ 電圧降下}) \quad \dots \text{式4}$$

すなわち、CMP1の+入力端子にはVSAより低い電位が入力される。そのため一旦QAがOffするとVSAが少しくらい変動しても、その変動幅がR3電圧降下より小さければCMP1は安定してLを維持することになる。QAがO

f f を続けると V S A は G N D に向かって低下し、Q A のゲート電位も低下する。Q B のゲートは Q A のゲートに直結しているので、V S A の低下につれて、V S B も低下する。V S A の低下に連れて A 点の電位は若干低下するが、その低下量は僅かである。一方、V S B は V S A の低下に連動して低下し続ける。C M P 1 の + 端子電圧には A 点の電位が供給され、- 端子には V S B の電位が供給されるので、やがて C M P + 端子電位 > C M P 1 - 端子電位となり、C M P 1 の出力は L → H に反転する。この反転は負荷側の状態に関係なく、すなわち V S A < V S B であっても発生する。これにより、ゲートドライバーは再び O n となり、Q A, Q B が O n し、V S A および V S B は上昇に転じる。ゲートドライバー出力が 0 V → V<sub>p</sub> に上昇するので D 2 が逆バイアスされ、A 点の電位は V S A の上昇に連れて上昇する。そのとき A 点の電位 > V S A の関係にある。この状態は A 点の電位が B 点電位（電源電圧 V<sub>B</sub> を R 1 と R 2 で分圧した電位）になるまで続く。A 点の電位が B 点の電位に等しくなったときの A 点または B 点の電位は式 5 で表される。

【 0 0 4 3 】

$$V_B \times R_2 / (R_1 + R_2) \quad \cdots \text{式 5}$$

以上をまとめればダミー電圧回路は V S B が式 3 で表されるダミー電圧 L 以下になると強制的に Q A, Q B を O n させ、V S B が式 5 で表されるダミー電圧 H 以上になるまでは負荷側の状態に無関係に Q A, Q B の O n を維持するという役割を果たす。V S B が式 5 の値を上回ると V S A と V S B の大小関係で Q A, Q B の O n / O f f は決定される。

【 0 0 4 4 】

なお、過渡的成分（I<sub>r e f t</sub>または R<sub>r t</sub>）の設定を開始するタイミングを（d）の方法で行うと本スイッチングデバイスをヒューズの代わりに使用することが可能になる。ヒューズの代わりに使用する場合は負荷の O n / O f f は S W 2 で制御され、その O n / O f f 信号は本スイッチングデバイスに入力されない。負荷電流の変化で過渡的成分の設定を開始する必要があるが、（d）の方式はこの要件を満足する。また、通常のスイッチングデバイスとして S W 1 で本デバイスを O n / O f f するような使用方法であっても、過渡的成分の設定開始を問

題なく実施できる。

【0045】

一方、タイマの20ms出力がHになり、 $I_{ref}$ が設定され、 $V_{SA} > V_{SB}$ となると、一旦OffしたQA、QBがダミー電圧により再度Onされた後は負荷側回路が正常であれば、別な言い方をすれば配線ショート等が発生していなければ、QA、QBはOnを続ける。

【0046】

タイマーの20ms出力がHになっている間に過電流状態 $I_{ref} \times n < I_D$ 、または過負荷状態 $R_r > R_L \times n$ となった場合はCMP1がOn/Offを8回繰り返した時点でQA、QBを遮断する。また、タイマーの20ms出力がLで、200ms出力がHの間に過電流または過負荷状態になった場合はCMP1がOn/Offを32回繰り返した時点でQA、QBを遮断する。前者はデッドショートのような状態で、この場合はOn/Off動作によるQAの発熱が大きいので、出来るだけ短時間に遮断する。後者の場合は過電流値が前者に比べて小さく、QAの発熱は少なくなるので、十分に確認することを優先させて、32回としている。しかし、より好ましくは32回を8回程度まで減少させ8回程度に統一することである。

【0047】

【実施例1】

実施例1では、正常なランプ負荷を使用した場合の本発明に係るスイッチング装置1の動作について説明する。ランプは、遮断機能が働くことなく、点灯し、そして、点灯し続ける場合である。ランプ負荷10には21Wのバルブ2灯を並列に接続したものを用了。図3は、バルブ点灯時のスイッチング回路の信号波形を示すグラフである。横軸は時間で1目盛りが50m秒である。縦軸には、Tr5のメインFET(QA)のソース電位( $V_{SA}$ )と、タイマ3のスタートから200m秒を計り終えるまで出力端子3で出力される200m秒のタイマ出力とを表す電圧と、QAのドレイン電流 $I_D$ と、Tr5のリファレンスFET(QB)のドレイン電流 $I_{ref}$ とを示している。縦軸の単位は、グラフ中の $V_{SA}$ 、 $I_D$ 、 $I_{ref}$ それぞれの右側に示している。 $V_{SA}$ の縦軸は、(2V/div)

v、6 V)と表され、1目盛りが2 Vで、全8目盛り中の4目盛り目の電圧が6 Vである。同様に  $I_D$  と  $n \times I_{ref}$  の縦軸は、(10 A/div、30 V)と表され、1目盛りが10 Aで、全8目盛り中の4目盛り目の電流が30 Aである。以下のグラフでも縦軸は同様な表記法で表している。

## 【0048】

タイマ出力は、時間軸1目盛り目でオンし、オンから180 m秒後にオフしている。 $I_D$ は、タイマ出力のオンと同時に流れ始める。流れはじめの電流値は30 Aに達するが、その後減少し、タイマ出力がオフになる前までには4 Aで一定値になる。 $I_D$ がランプ負荷を流れる電流で、電流の流れははじめからランプは点灯する。電流値が4 Aの時はランプが正常に連続点灯している。この電流4 Aが  $I_D$ の定常成分であり、電流を流し始めた時の電流4 Aを超える電流値から電流4 A分を引いた分が過渡成分である。 $n \times I_{ref}$ は、タイマ出力がオンになる前から定常成分  $n \times I_{refc}$ の5 Aが流れている。そして、タイマ出力のオンと同時に過渡成分  $n \times I_{ref t}$ が流れ始める。この流れはじめの電流値は40 Aに達するが、その後減少し、タイマ出力がオフになる前までには過渡成分  $n \times I_{ref t}$ は無くなり定常成分  $n \times I_{refc}$ の5 Aのみの一定値になる。 $I_D$ の電流値はどの時間においても  $n \times I_{ref}$ より小さくなっている。このことにより、VSAはVSBよりどの時間においても大きくなり過剰電流が発生していないと判断できる。VSAは、タイマ出力のオンと同時に電圧が高くなり、ランプ負荷10に12 Vを超える電圧が印可される。 $n \times I_{ref} > I_D$ なのでFETはOnを続ける。

## 【0049】

図4におけるVSA、 $I_D$ 、 $n \times I_{ref}$ の波形は、図3のそれらと同じ波形である。20 ms タイマとの関係を示しており、横軸の時間軸を5倍に拡大している。これより、20 ms タイマの信号がオンしてからオフするまで  $n \times I_{ref}$ は40 A程度の値に固定されており、オフした後に減少することがわかる。

## 【0050】

図5におけるVSA、 $I_D$ 、 $n \times I_{ref}$ の波形も、図3及び図4のそれらと同じ波形である。スイッチSW1をオンにする際に発生するSW1等によるドラ



イバ8の入力信号のオン信号との関係を示しており、図4の横軸の時間軸をさらに100倍に拡大している。これより、チャージポンプの立ち上がり遅れによって、SW1入力信号のオンからID等の立ち上がりまでに約80 $\mu$ 秒の遅れがある。

## 【0051】

図6におけるVSA、ID、 $n \times I_{ref}$ 、ゲート駆動信号の波形は、図5のそれらと同じ波形である。図5のVSA、ID、 $n \times I_{ref}$ の波形の立ち上がりの時間を図5の10倍に拡大している。これより、時間3目盛り半過ぎでIDが $n \times I_{ref}$ より大きくなっている。この逆転により、ゲート駆動信号はオフし、増加していたVSAは減少に転じる。そして、VSAが減少してダミー電圧のLレベル以下になると、入力信号は再びオンし、VSA、ID、 $n \times I_{ref}$ も上昇する。

## 【0052】

## 【実施例2】

実施例2では、正常なランプ負荷を点灯しているときに、さらにランプ負荷を追加して過負荷の状態が発生した場合の本発明に係るスイッチング装置1の動作について説明する。ランプが点灯しているところに、さらに別のランプを点灯させようとする、遮断機能が働き、ランプがすべて消灯される。最初から点灯しているランプ負荷には21Wのバルブ2灯を並列に接続したものをを用いた。過負荷用の追加するランプ負荷には21Wのバルブ1灯を使用し点灯している2灯に並列接続した。図7は、バルブ点灯時に過負荷を追加し遮断されるまでのスイッチング回路の信号波形を示すグラフである。横軸は時間で1目盛りが20m秒である。縦軸には、VSAと、ドライバ8への入力信号と、IDと、 $n \times I_{ref}$ とを示している。 $n \times I_{ref}$ が立ち下がってきたとき、 $n \times I_{ref} < ID$ となり、QAが遮断している。

## 【0053】

図8におけるVSA、ID、 $n \times I_{ref}$ 、入力信号の波形は、図7のそれらと同じ波形である。図7のVSA、ID、 $n \times I_{ref}$ の波形の立ち上がりの時間を図7の2000倍に拡大している。それぞれの波形は図6と同様に推移する

。時間 4 目盛り半過ぎで  $ID$  が  $n \times I_{ref}$  より大きくなっている。この逆転により、ゲート駆動信号はオフし、増加していた  $VSA$  は減少に転じる。そして、 $VSA$  が減少してダミー電圧の  $L$  レベル以下になると、ゲート駆動信号は再びオンし、 $VSA$ 、 $ID$ 、 $n \times I_{ref}$  も上昇する。このことにより追加した 1 灯を含め 3 灯が点灯する。

## 【 0 0 5 4 】

図 9 における  $VSA$ 、 $ID$ 、 $n \times I_{ref}$ 、入力信号の波形は、図 7 のそれらと同じ波形である。図 7 の  $VSA$ 、 $ID$ 、 $n \times I_{ref}$  の波形の立ち下がり遮断される時間を図 7 の 4 0 0 倍に拡大している。時間 4 分の 1 目盛り手前で  $ID$  が  $n \times I_{ref}$  よりわずかに大きくなっている。この逆転により、入力信号はオフし、 $VSA$  は減少する。この減少をパルスカウンタ 4 はカウントする。 $VSA$  が減少してダミー電圧の  $L$  レベル以下になると、入力信号は再びオンし、 $VSA$ 、 $ID$ 、 $n \times I_{ref}$  も上昇する。 $VSA$  が増加してダミー電圧の  $H$  レベル以上になると、入力信号は再びオフし、 $VSA$ 、 $ID$ 、 $n \times I_{ref}$  も減少する。このように波形は振動し、 $VSA$  が 3 2 回目に減少するときに入力信号はオフに固定され、 $VSA$  と  $ID$  は出力しなくなる。このことにより追加した 1 灯を含め 3 灯が消灯する。過電流発生から電流遮断までに要した時間は 4 5 0  $\mu$  秒であった。

## 【 0 0 5 5 】

図 1 0 における  $VSA$ 、入力信号の波形は、図 9 のそれらと同じ波形である。図 9 の  $VSA$ 、入力信号の波形の立ち下がり遮断される時間を図 9 の 5 倍に拡大している。A 点の電圧はダミー電圧である。A 点の電圧は、7 V から 8 V 前後の  $H$  レベルと、3 V から 4 V 前後の  $L$  レベルを有していることが分かる。 $VSA$  は  $L$  レベルから  $H$  レベルへ、 $H$  レベルから  $L$  レベルへと振動する。

## 【 0 0 5 6 】

## 【実施例 3】

実施例 3 では、過負荷となるランプ負荷を使用した場合の本発明に係るスイッチング装置 1 の動作について説明する。ランプは、遮断機能が働いて点灯しない。ランプ負荷 1 0 には 2 1 W のバルブ 3 灯を並列に接続したものをを用いた。装置 1 においては 2 灯では過負荷ではなく 3 灯で過負荷になるように  $n \times I_{ref}$  を

設定している。図 1 1 は、ドライバの入力信号オンから、遮断されるまでのスイッチング回路の信号波形を示すグラフである。横軸は時間で 1 目盛りが  $100\mu$  秒である。縦軸には、VSA と、入力信号と、ID と、 $n \times I_{ref}$  とを示している。8 回オン／オフを繰り返した時点で QA が遮断されている。1 回毎に、ID と  $n \times I_{ref}$  が大きくなる過程で、 $n \times I_{ref}$  より小さかった ID が、35A 付近で  $n \times I_{ref}$  より大きくなっている。この反転により、VSA は増加から減少に転じている。VSA が減少してダミー電圧の L レベル以下になると入力信号はオンし、VSA は再び増加する。このようにして VSA は振動する。

【0057】

【発明の効果】

以上説明したように、本発明によれば、突入電流の発生していても過電流の検出が可能で、熱損失が小さく、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流に対しても高速応答を可能な半導体スイッチング装置を提供できる。

【0058】

また、本発明によれば、リファレンス回路が定常成分と過渡成分からなるので、負荷側に発生する過渡現象（過渡成分）に対しても正常状態として取り扱ってオン／オフ動作を行わない。このため、ランプの点灯遅れ等の問題も無くなり、かつ、素子の発熱を減らすことができる。

【0059】

本発明によれば、リファレンス回路の過渡的成分を負荷側の変化に応じてスタートさせることが出来るので、ヒューズ機能の代替が可能である。

【0060】

本発明によれば、電流振動の制御に 2 つのレベルのダミー電圧を用いているので、マルチソース FET のゲート駆動回路の遅れ要素が必要なくなり、オン／オフ動作が安定し、かつ、オン／オフ動作の特性をコントロールし易くなる。

【0061】

本発明によれば、リファレンスに過渡的成分を組み込んだので、過渡的成分の大きさによって異常発生時の遮断時間を変えることが可能となった。具体的には

、過渡的成分が大きいときに異常が発生した場合、または発生している場合は短時間で遮断する方法を取ることができる。このため、デッドショート時の電流制限が不十分の場合でも、遮断までの時間を短くすることにより、配線の保護が可能になり、かつ、素子の発熱を抑えることが出来て、特別な電流制限回路を設ける必要が無い。これにより制御回路が簡素化されるので、素子のチップ面積を縮小することや、FETと制御回路を1チップ上に集積することが可能になり、コストが低減できる。

## 【0062】

さらに、本発明によれば、パルスカウンタにより、制御手段（制御ステップ）による半導体スイッチのオン／オフ制御回数をカウントし、この制御回数が所定回数に達したときに半導体スイッチをオフ制御することとしたので、不完全短絡でも半導体スイッチの遮断を任意に設定した時間まで速めることができ、高速応答を実現できる。

## 【0063】

特に半導体スイッチのオン／オフ制御をモノリシックに集積化した場合はマイコンも不要であるため、チップ面積を縮小できるとともに、装置コストを大幅に削減することができる。

## 【図面の簡単な説明】

## 【図1】

本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置のブロック図である。

## 【図2】

本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置の回路構成図である。

## 【図3】

本発明の実施例1（負荷の正常な使用）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その1）である。200msタイマの信号に対するVSA、 $n \times I_{ref}$ 、IDの波形を表示している。

## 【図4】

本発明の実施例 1 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 2）である。20ms タイマの信号に対する  $V_{SA}$ 、 $n \times I_{ref}$ 、 $I_D$  の波形を表示している。

【図 5】

本発明の実施例 1 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 3）である。スイッチ  $SW_1$  がオンしたときの  $V_{SA}$ 、 $n \times I_{ref}$ 、 $I_D$  の波形を表示している。

【図 6】

本発明の実施例 1 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 4）である。図 5 に比べ時間軸を 10 倍拡大して表示している。

【図 7】

本発明の実施例 2（負荷の正常な使用中に過負荷状態に移行した場合）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 1）である。

【図 8】

本発明の実施例 2 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 2）である。図 7 のスイッチ  $SW_1$  がオンしたときを、図 7 に比べ時間軸を 2000 倍拡大して表示している。

【図 9】

本発明の実施例 2 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 3）である。図 7 の遮断機能が働いたときを、図 7 に比べ時間軸を 400 倍拡大して表示している。

【図 10】

本発明の実施例 2 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 4）である。A 点の電圧（ダミー電圧）と  $V_{SA}$  の波形について、図 9 の遮断機能が働いたときを、図 9 に比べ時間軸をさらに 5 倍拡大して表示している。

【図 11】

本発明の実施例 3（負荷の使用開始から過負荷状態である場合）に係る電流振

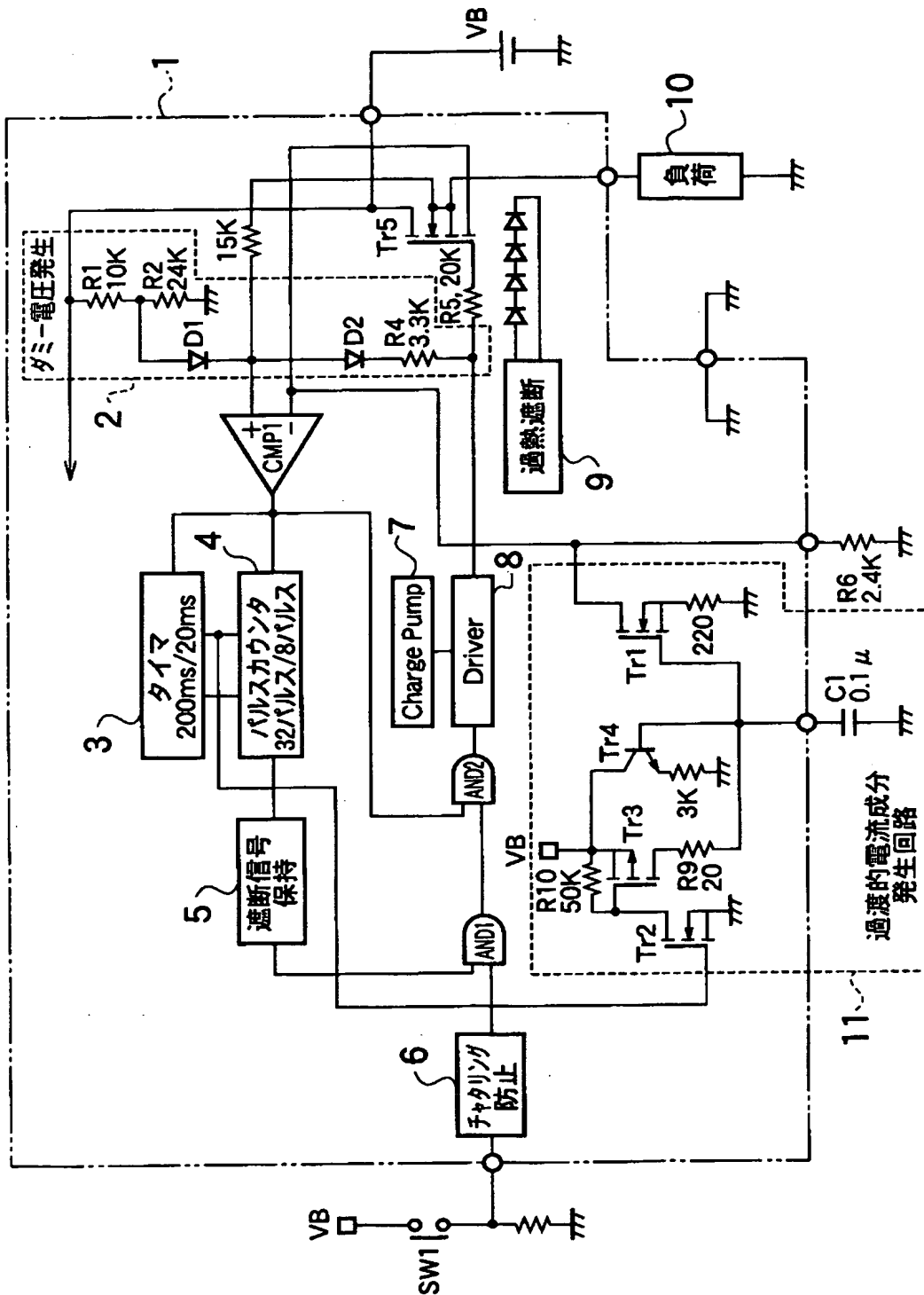
動型遮断機能付き半導体スイッチング装置の信号波形図である。

【符号の説明】

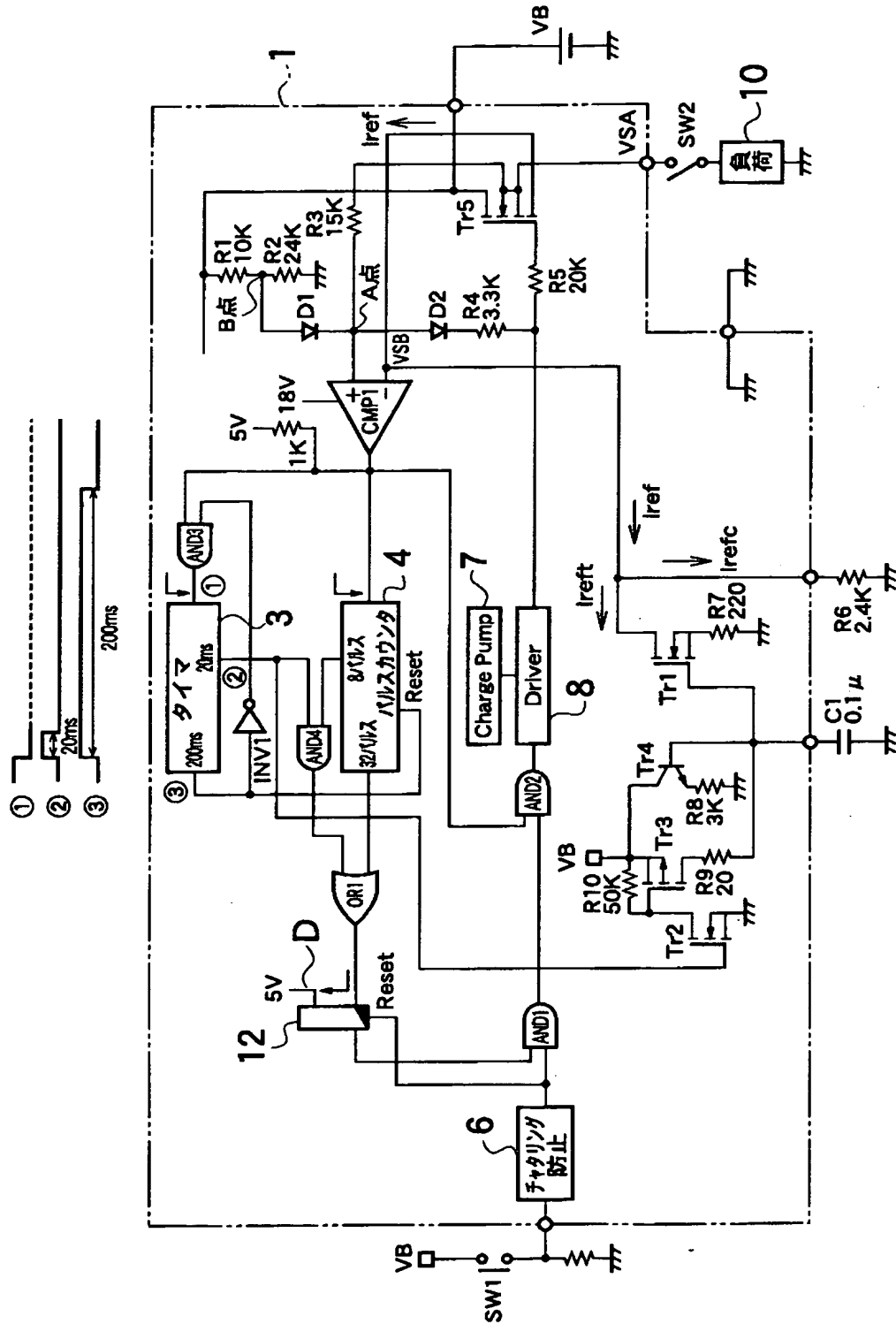
- 1 電流振動型遮断機能付き半導体スイッチング装置
- 2 ダミー電圧発生回路
- 3 タイマ
- 4 パルスカウンタ
- 5 遮断信号保持回路
- 6 チャタリング防止回路
- 7 チャージポンプ
- 8 ドライバー
- 9 過熱遮断回路
- 1 0 負荷
- 1 1 過渡的電流成分発生回路
- 1 2 D-フリップフロップ回路
- T r 1 乃至 5 トランジスタ
- D 1、D 2 ダイオード
- R 1 乃至 1 0 抵抗
- S W 1、S W 2 スイッチ
- C 1 コンデンサー
- C M P 1 比較回路
- A N D 1 乃至 4 A N D 回路
- O R 1 O R 回路
- I N V 1 インバータ

【書類名】 図面

【図 1】

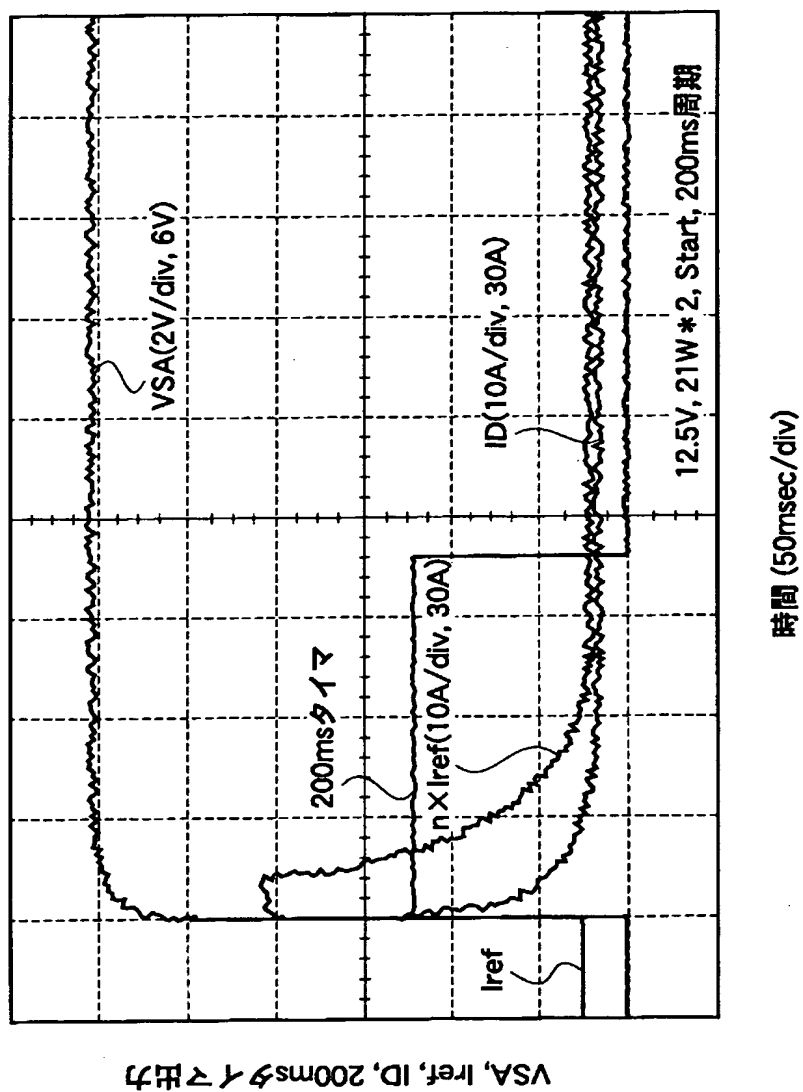


【図 2】

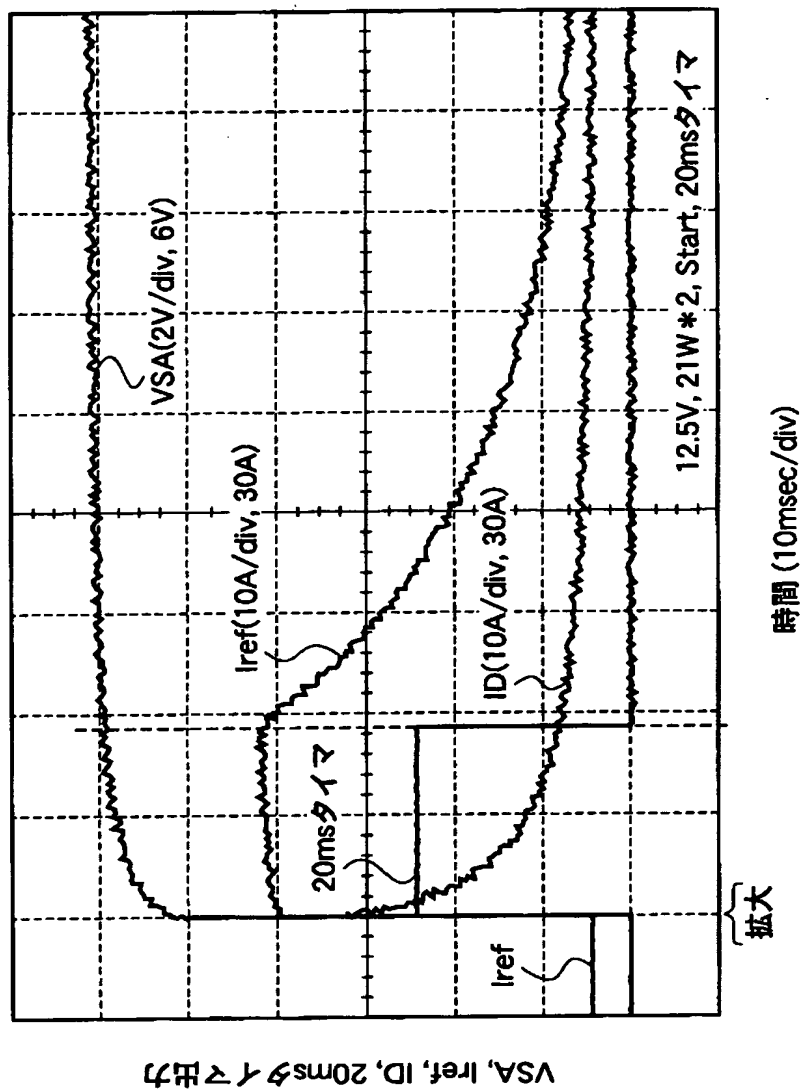




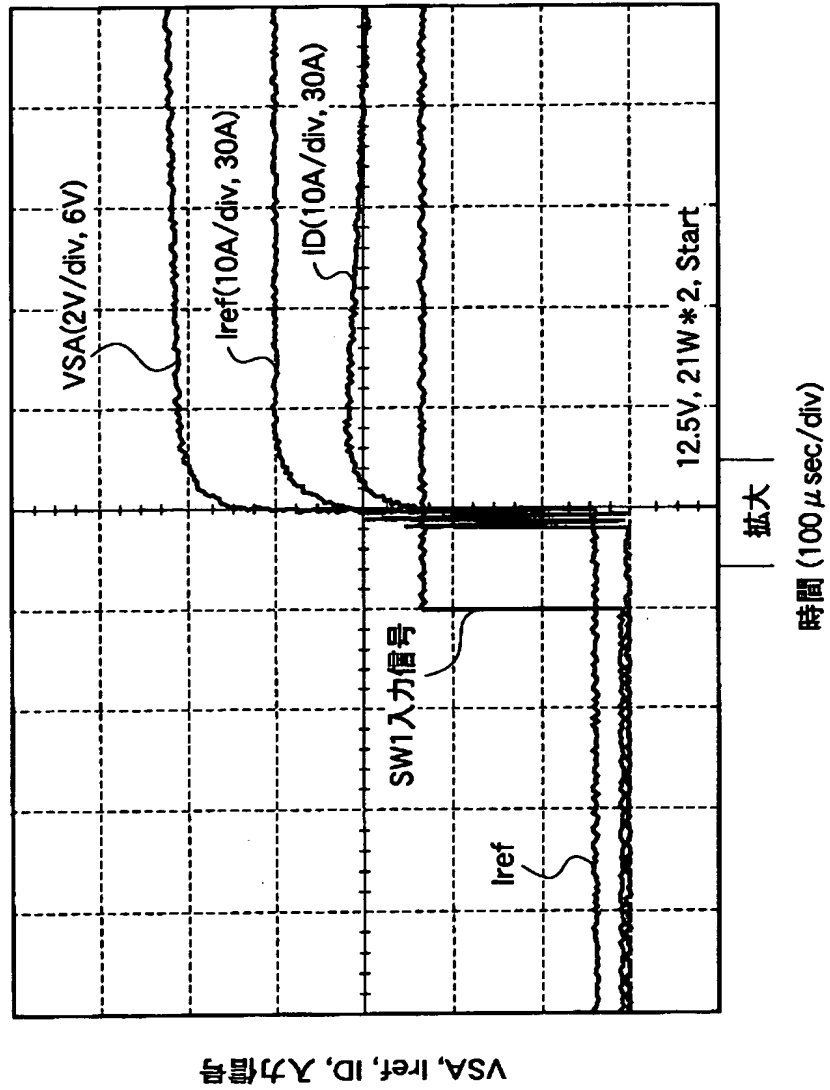
【図 3】



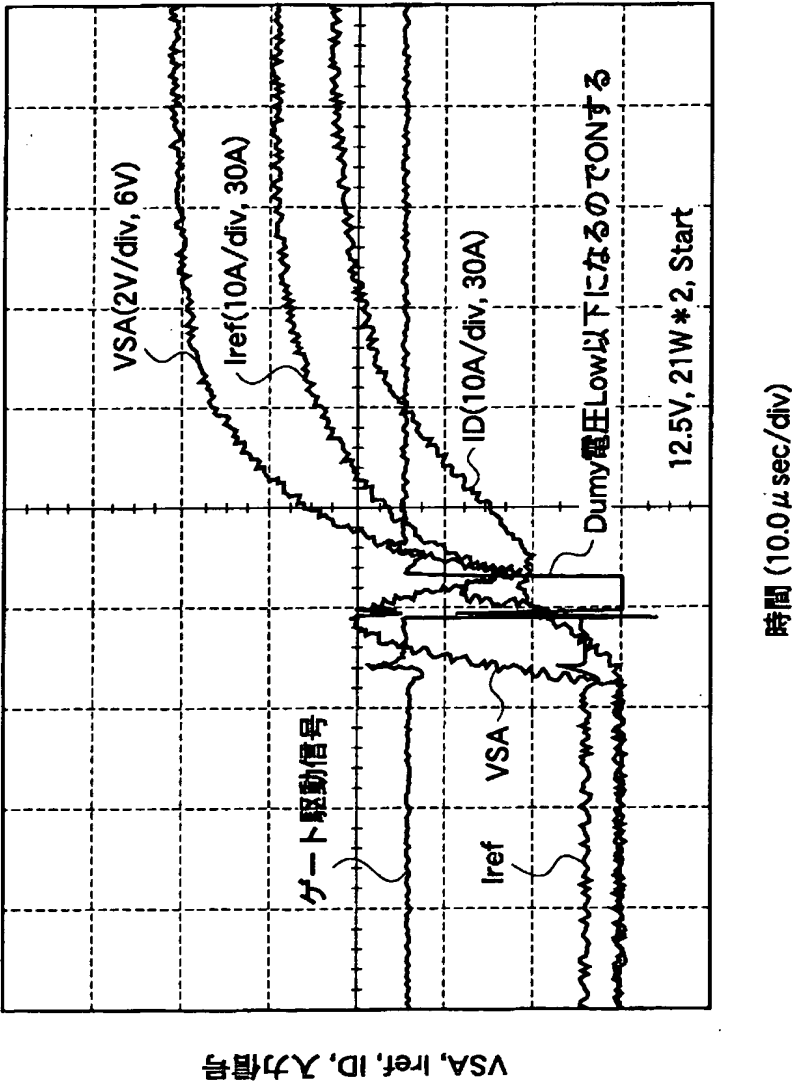
【図4】



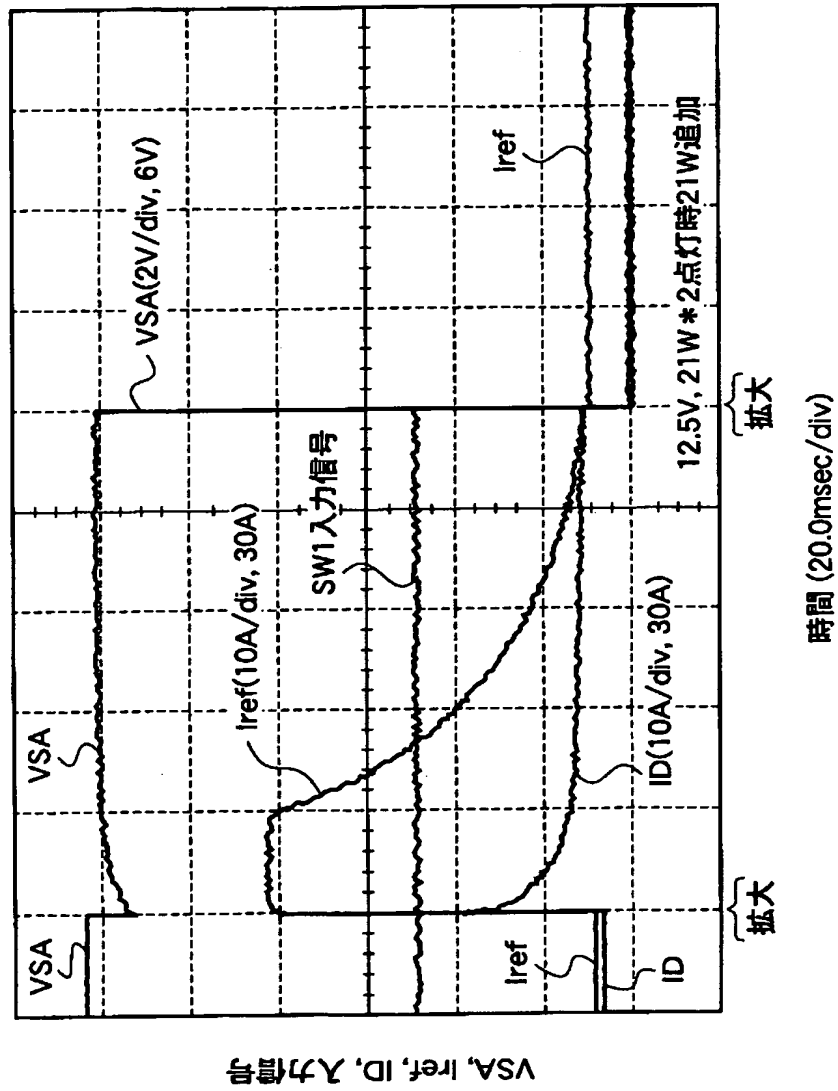
【図 5】



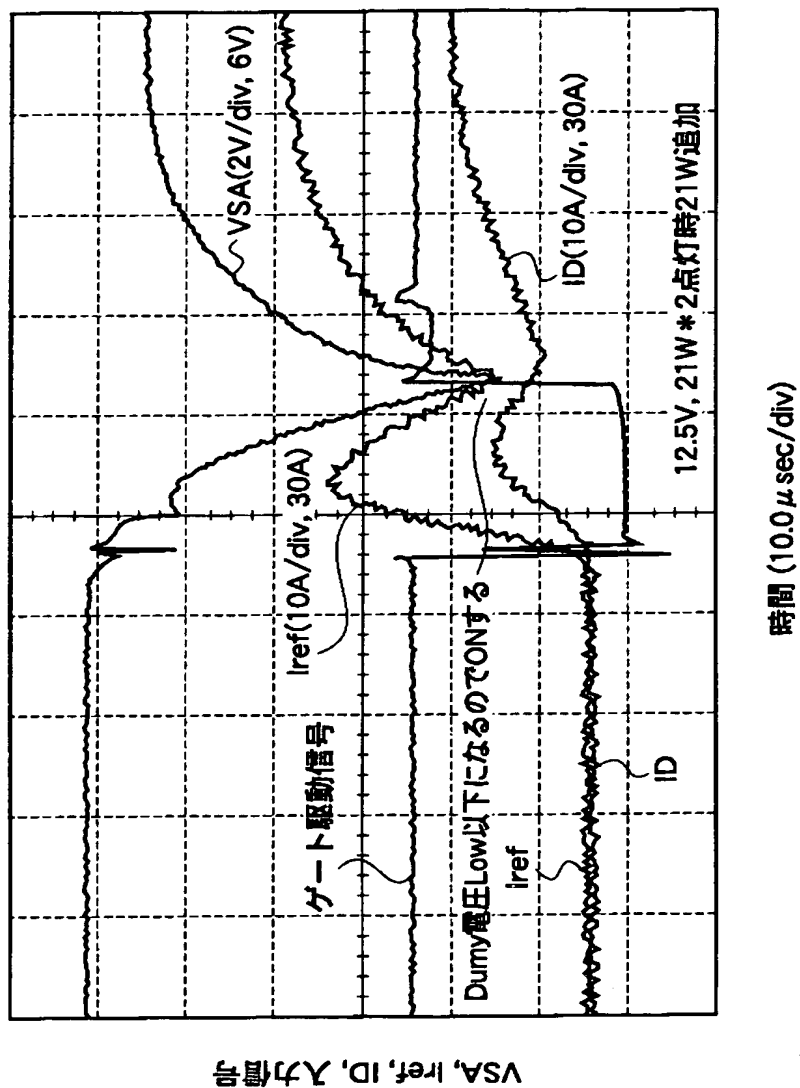
【図 6】



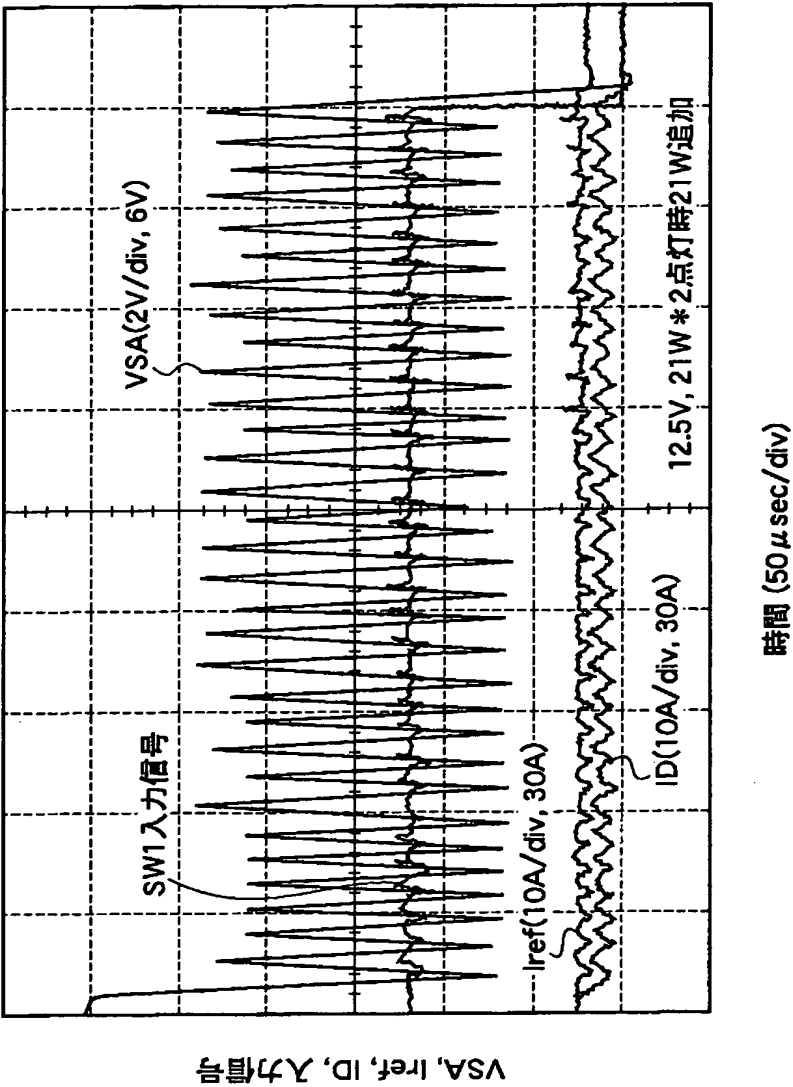
【図 7】



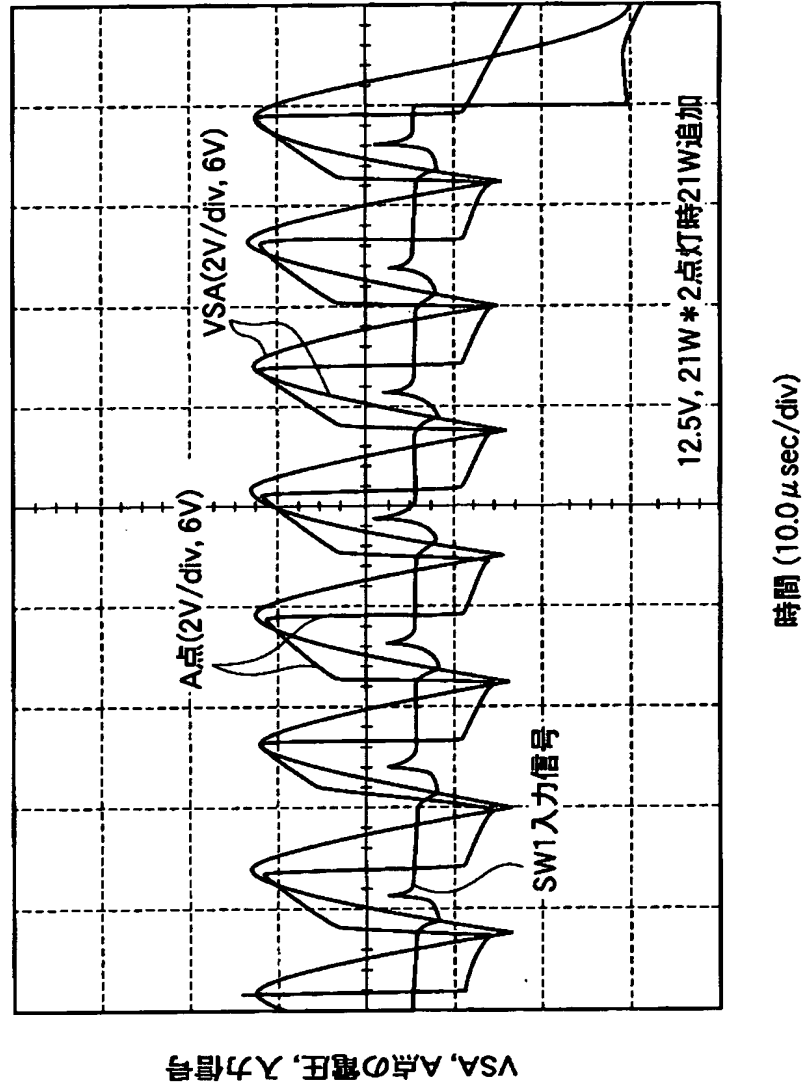
【図 8】



【図9】



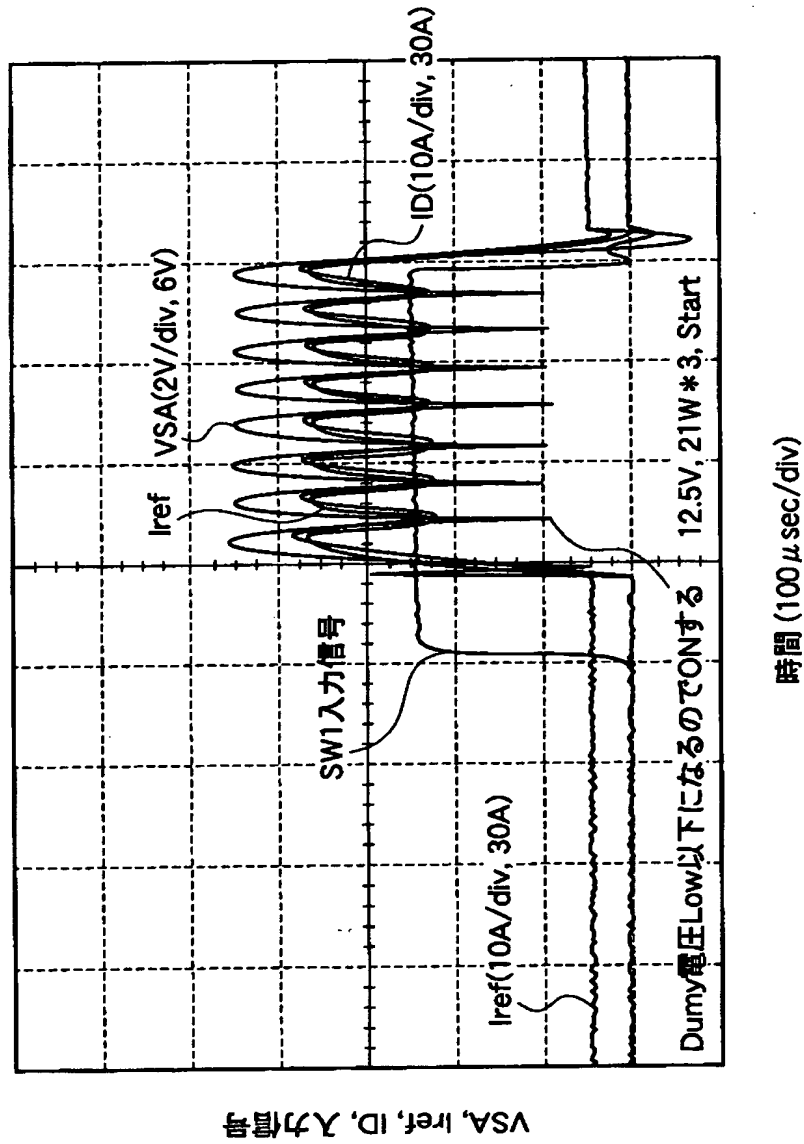
【図10】



VSA, A点の電圧, 入力信号



【図 11】



【書類名】 要約書

【要約】

【課題】 突入電流が発生していても過電流の検出をし、不完全短絡が発生した場合の異常電流に対して高速応答する半導体スイッチング装置を提供する。

【解決手段】 マルチソース F E T のメイン電界効果トランジスタ ( F E T ) とリファレンス F E T のソース電位の大小関係を比較する。メイン F E T のソース電位がリファレンス F E T のソース電位を上回っているときマルチソース F E T のゲートに駆動電圧を印可し反対のときマルチソース F E T のゲートに駆動電圧を遮断する。さらに、負荷側の電流が過渡的成分を含めて正常範囲にあるときは、リファレンス F E T のソース電位がメイン F E T のソース電位を上回らないようにリファレンス F E T の電流を制御する回路をリファレンス F E T のソースと接地間に設置する。このことで、メイン F E T に流れる異常電流を検知して、異常電流発生時にはメイン F E T をオン／オフ制御して電流振動を生成し、この電流振動により、メイン F E T を遮断する

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 8 9 5 ]

1. 変更年月日 1 9 9 0 年 9 月 6 日

[変更理由] 新規登録

住 所 東京都港区三田 1 丁目 4 番 2 8 号

氏 名 矢崎総業株式会社